

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11238806 A

(43) Date of publication of application: 31 . 08 . 99

(51) Int. Cl

H01L 21/8234

H01L 27/088

(21) Application number: 10041454

(71) Applicant: SHARP CORP

(22) Date of filing: 24 . 02 . 98

(72) Inventor: KITADE AKIO

(54) SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE

breakdown strength threshold setting NMOS.

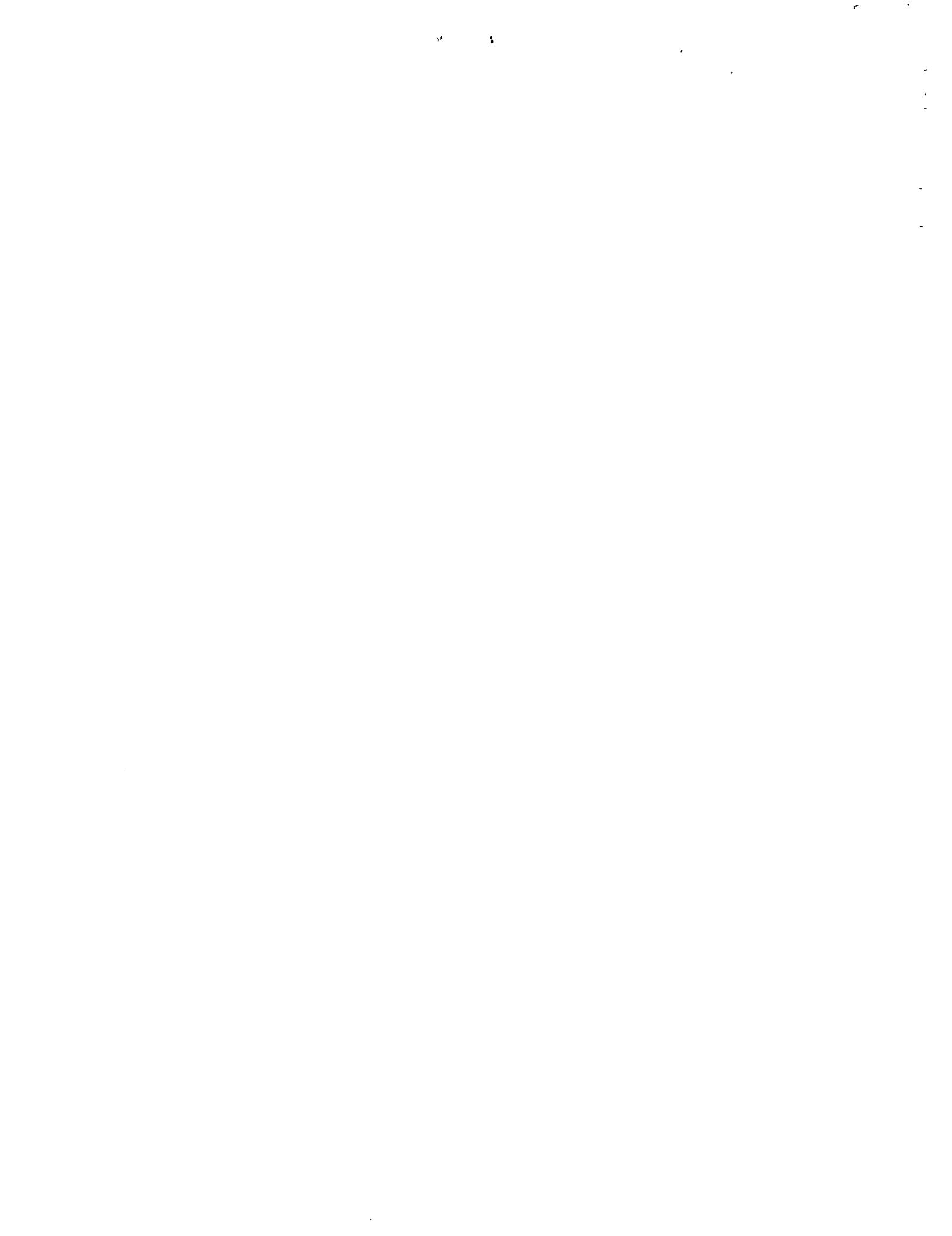
(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To provide a manufacturing method which enables formation of a semiconductor device having stable electric characteristics and a semiconductor element domain of high breakdown strength without increasing the number of masks.

SOLUTION: A process that has a circuit element having different withstand voltages of at least well domains of No.1, No.2 and well domains of No.3, No.4, and after forming No.1 N-well domain 2 and No.2 P-well domain on a semiconductor board 1, an element separation domain is formed between the N-well domain and the P-well domain, a process that No.3 N-well domain 8 having low density is formed in No.1 N-well domain by ion implantation of P-type impurity with a photo resist for a threshold setting of high breakdown strength PMOS as a mask using ion implantation of high breakdown strength threshold setting PMOS, and a process that No.4 P-well domain 9 having low density is formed in No.2 P-well domain by ion implantation of N-type impurity with a photo resistor for a threshold value setting of high breakdown strength NMOS as a mask using ion implantation of high





(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-238806

(43)公開日 平成11年(1999)8月31日

(51)Int.C1.<sup>6</sup>  
H01L 21/8234  
27/088

識別記号

F I  
H01L 27/08

102 B

審査請求 未請求 請求項の数 2 O L (全5頁)

(21)出願番号 特願平10-41454

(22)出願日 平成10年(1998)2月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 北出 秋夫

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

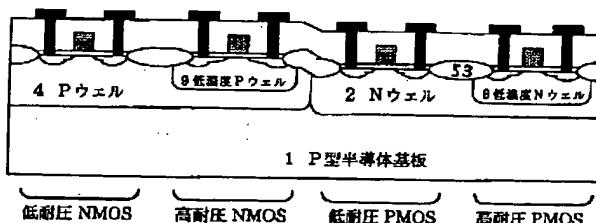
(74)代理人 弁理士 小池 隆彌

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 安定した電気的特性を可能とする半導体装置及び高耐圧半導体素子領域形成のためにマスク数を増加させることなく製造することができる製造方法を提供する。

【解決手段】 少なくとも第1、第2のウエル領域と第3、第4のウエル領域とが異なる耐圧の回路素子を有し、半導体基板1に第1のNウエル領域2と第2のPウエル領域4を形成後素子分離領域を該Nウエル領域とPウエル領域との間に形成する工程と、第1のNウエル領域に高耐圧PMOSの閾値設定用のフォトマスクをマスクとしてP型不純物をイオン注入で行い低濃度の第3のNウエル8を形成し、マスクを用いて高耐圧PMOSの閾値設定のイオン注入を行う工程と、第2のPウエル領域に高耐圧の閾値設定用のフォトマスクをマスクとしてN型不純物をイオン注入で行い低濃度の第4のPウエル9を形成し、マスクを用いて高耐圧NMOSの閾値設定のイオン注入を行う工程により製造する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に耐圧の異なる回路素子を有する半導体装置において、

半導体基板に第1導電型の第1のウエル領域と第2導電型の第2のウエル領域を有し、前記第1のウエル領域に第1導電型の第3のウエル領域を有し、

前記第2のウエル領域に第2導電型の第4のウエル領域を有し、

少なくとも前記第1、第2のウエル領域と第3、第4のウエル領域とが異なる耐圧の回路素子を有することを特徴とする半導体装置。

【請求項2】 半導体基板に第1のNウエル領域と第2のPウエル領域を形成後素子分離領域を該Nウエル領域と該Pウエル領域との間に形成する工程と、

第1のNウエル領域に高耐圧PMOSの閾値設定用のホトレジストをマスクとしてP型不純物をイオン注入で行い低濃度の第3のNウエルを形成し、該マスクを用いて高耐圧PMOSの閾値設定のイオン注入を行う工程と、第2のPウエル領域に高耐圧の閾値設定用のホトレジストをマスクとしてN型不純物をイオン注入で行い低濃度の第4のPウエルを形成し、該マスクを用いて高耐圧NMOSの閾値設定のイオン注入を行う工程を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、高耐圧の半導体素子と低耐圧の半導体素子を混載する半導体装置、特に高耐圧の半導体素子と制御用の低耐圧半導体素子を混載したウエル構造をなす半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 従来、耐圧の異なる半導体素子を混載した半導体装置、高耐圧の半導体素子と制御用の半導体素子とその製造方法については、特開平6-15172号公報に開示されている。その製造方法を図4を参照し説明する。

【0003】 図4(a)に示すように、基板濃度 $5 \times 10^{14} \text{ cm}^{-3}$ のP型半導体基板1上に公知のホトリソグラフィー技術、更にはイオン打ち込み技術でリンを $1.5 \times 10^{13} \text{ イオン/cm}^2$ 導入し、 $1200^\circ\text{C}$ で5時間の熱処理を行いNウエル層2、3を形成する。

【0004】 次いで、公知のホトリソグラフィー技術、更にはイオン打ち込み技術によりボロンを $1.0 \times 10^{13} \text{ イオン/cm}^2$ 導入し、再び $1200^\circ\text{C}$ で5時間の熱処理を行い、図4(b)に示すように、Nウエル2層の一部を含むようにPウエル層4を形成する。ここで、その重なった領域41が形成される。

【0005】 図4(c)に示すように、公知の製造方法により、ウエル層のない領域すなわちP型半導体基板1そのものの領域と、重なった領域41には、それれ

D D構造の高耐圧のトランジスタを形成し、Nウエル層3のみの領域とPウエル層4のみの領域には低耐圧のトランジスタを形成する。

## 【0006】

【発明が解決しようとする課題】 上記従来の製造方法では、ウエル形成、例えば重なった領域形成を2回のホトリソグラフィー技術により達成しているが、その後のトランジスタの形成については公知の技術により形成するので全工程を通して考えると、高耐圧半導体素子の形成のためにマスク数が増加することになる。

【0007】 そして、このようにして得られた、高耐圧部のNMOSトランジスタは基板1上に形成されており、基板1はリーク電流をうけることから、NMOSトランジスタの電気的特性が不安定となっている。

【0008】 そこで、本発明は、この点に鑑み、安定した電気的特性を可能とする半導体装置及び高耐圧半導体素子領域形成のためにマスク数を増加させることなく製造することができる製造方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】 本発明の半導体装置は、半導体基板上に耐圧の異なる回路素子を有する半導体装置において、半導体基板に第1導電型の第1のウエル領域と第2導電型の第2のウエル領域を有し、前記第1のウエル領域に第1導電型の第3のウエル領域を有し、第2のPウエル領域に第2導電型の第4のウエル領域を有し、少なくとも前記第1、第2のウエル領域と第3、第4のウエル領域とが異なる耐圧の回路素子を有することを特徴とする。

【0010】 本発明の半導体装置の製造方法は、前記半導体基板に第1のNウエル領域と第2のPウエル領域を形成後、素子分離領域を該Nウエル領域と該Pウエル領域との間に形成する工程と、第1のNウエル領域に高耐圧PMOSの閾値設定用のホトレジストをマスクとしてP型不純物をイオン注入で行い低濃度の第3のNウエルを形成し、該マスクを用いて高耐圧PMOSの閾値設定のイオン注入を行う工程と、第2のPウエル領域に高耐圧の閾値設定用のホトレジストをマスクとしてN型不純物をイオン注入で行い低濃度の第4のPウエルを形成し、該マスクを用いて高耐圧NMOSの閾値設定のイオン注入を行う工程を有することを特徴とする。

【0011】 本発明の作用を以下に説明する。本発明の半導体装置は、高耐圧半導体素子をウエル内に形成しているから、安定した電気的特性のものとすることができます。更に、高耐圧半導体素子を形成するウエル領域はNMOS、PMOSそれぞれの閾値設定用の注入マスクを利用し、その後閾値設定のイオン注入することで、同じマスクを複数回使用できることから、全工程を通じてマスク枚数の増加することを抑制することができる。

【発明の実施の形態】(実施の形態1) 本発明の半導体装置の実施の形態1として、耐圧の異なる半導体素子の例について、図1を参照し説明する。図1は実施の形態1の半導体装置を模式的に説明する断面図である。

【0013】P型半導体基板1上に、Nウエル層2とPウエル層4がある。Nウエル層2内には一部分の領域にP型不純物の注入により形成されている低濃度のNウエル層8を有し、このNウエル層2内において該P型不純物の注入されていないままの領域に低耐圧のPMOSが形成され、該Nウエル層8内において高耐圧PMOSが形成されている。Pウエル層4内には一部分の領域にN型不純物の注入により形成されている低濃度のPウエル層9があり、Pウエル層4内において低耐圧N MOSが形成され、該Pウエル層9内に高耐圧N MOSが形成されている。尚、53は素子分離領域である。

【0014】ここで高耐圧PMOS、高耐圧N MOSはそれぞれNウエル層8内に、Pウエル層9内に位置しており、安定な電気的特性がえられる。そして、MOSトランジスタのバックゲートをウエルコンタクトから供給できるためトランジスタの電気的特性が安定となる。

【0015】(実施の形態2) 本発明の実施の形態2として、上記半導体装置の製造方法の例について図2~3を参照し説明する。図2~3はそれぞれ前記製造方法の工程を模式的に説明する断面図である。

【0016】基板濃度 $5 \times 10^{14} \text{ cm}^{-3}$ 程度のP型半導体基板1上に熱酸化膜5を60nm程度堆積させた後ホトリソグラフィー技術による処理を行い、その後イオン注入によりリンをドーズ量 $1.5 \times 10^{13} \text{ イオン/cm}^2$ 注入する(図2(a)参照)。なお、この図において、6は窒化膜、7はホトレジストである。

【0017】その後、ホトレジスト7を除去後、熱酸化処理により酸化膜51を400nm程度形成する。次いで、窒化膜6を除去する。次に、酸化膜51をマスクとして、ボロンをドーズ量 $5 \times 10^{13} \text{ イオン/cm}^2$ 注入する(図2(b)参照)。

【0018】更に、酸化膜51をエッティングにより除去する。その後、熱酸化処理により酸化膜52を30nm程度形成し、更に熱処理を1100°Cで2時間行い、Nウエル層2とPウエル層4を形成する。次いで、窒化膜61を200nm程度堆積する(図2(c)参照)。

【0019】ホトリソグラフィー技術による処理を行い、窒化膜61、酸化膜52を素子分離領域に対応してパターニングする(図2(d)参照)。続いて、熱酸化処理によりロコス酸化膜53を形成し、素子分離領域が得られる(図2(e)参照)。

【0020】次いで、低耐圧N MOSの閾値設定用マスクとして、ホトリソグラフィー技術による処理を行い、Pウエル4の低耐圧N MOSを形成すべき領域に対応する部分を窓開けするようホトレジストをパターニングする。続いて、このホトレジストをマスクとして前記低耐

圧N MOSの閾値設定のイオン注入を行う。このときのイオン注入条件として、ボロンを20KeVで、ドーズ量 $3 \times 10^{11} \text{ イオン/cm}^2$ で注入を行う(図3(f)参照)。次いで、このホトレジストを除去する。

【0021】その後、低耐圧PMOSの閾値設定用マスクとして、ホトリソグラフィー技術による処理とエッティングを行い、Nウエル2の低耐圧PMOSを形成すべき領域に対応する部分を窓開けするようホトレジストをパターニングする。続いて、このホトレジストをマスクとして前記低耐圧PMOSの閾値設定のイオン注入を行う。このときのイオン注入条件としてボロンを20KeVで、ドーズ量 $3.5 \times 10^{11} \text{ イオン/cm}^2$ で注入を行う(図3(g)参照)。次いで、このホレジストを除去する。

【0022】次いで、高耐圧PMOSの閾値設定用マスクとして、ホトリソグラフィー技術とエッティングによる処理を行い、Nウエル2の高耐圧PMOSを形成すべき領域に対応する部分を窓明するようホトレジスト71をパターニングする(図3(h)参照)。

【0023】その後、このパターニングされたホトレジスト71をマスクとしてP型不純物注入を、例えばボロンを250KeVでドーズ量 $1 \times 10^{13} \text{ イオン/cm}^2$ 注入し、続いて、該ホトレジスト71をマスクとしてボロンを120KeVでドーズ量 $5 \times 10^{11} \text{ イオン/cm}^2$ を注入することで段階的に不純物濃度を変え、低濃度のNウエル8を形成する。尚、この低濃度のNウエル8の形成は、公知のイオン打ち込み技術によりP型不純物を打ち込み、熱処理を行って形成してもよい。

【0024】その後、該ホトレジスト71をマスクとして高耐圧PMOSの閾値設定のイオン注入を行う。このときのイオン打ち込み条件として、ボロンを20KeVで、ドーズ量 $3 \times 10^{11} \text{ イオン/cm}^2$ で注入する。尚、注入の順序は上記に限定されるものではなく、入れ替えることもことができる。

【0025】次いで、高耐圧N MOSの閾値設定用マスクとして、フォトリソグラフィー技術による処理を行い、Pウエル2の高耐圧N MOSを形成すべき領域に対応する部分を窓明するようホトレジスト72をパターニングする(図3(i)参照)。

【0026】その後、このパターニングされたホトレジスト72をマスクとしてN型不純物注入を、例えばリンを500KeVでドーズ量 $2 \times 10^{13} \text{ イオン/cm}^2$ 注入し、続いて、リンを250KeVでドーズ量 $1 \times 10^{11} \text{ イオン/cm}^2$ を注入することで段階的に不純物濃度を変え、低濃度のPウエル9を形成する。尚、この低濃度のPウエル9の形成は、公知のイオン打ち込み技術によりN型不純物を打ち込み、熱処理を行って形成してもよい。

【0027】その後、該ホトレジスト72をマスクとして高耐圧N MOSの閾値設定のイオン注入を行う。この

ときのイオン打ち込み条件として、ボロンを20KeVで、ドーズ量 $1 \times 10^{11}$ イオン/cm<sup>2</sup>で注入する。尚、注入の順序は上記に限定されるものではなく、入れ替えることもともできる。

【0028】その後、従来技術と同様に、高耐圧CMOS部である低濃度Nウエル8、低濃度Pウエル9には、LDDトランジスタを形成し、低耐圧CMOSであるNウエル2、Pウエル4には通常のトランジスタを形成する(図3(j)参照)。

【0029】この実施の形態2においては、高耐圧NMOS、PMOSを形成するウエル領域は閾値設定用マスクを利用することができるので、全工程でのマスク枚数の増加が抑制される。そして、高耐圧NMOS、高耐圧PMOSのウエル形成はイオン注入を段階的に行うことで、高温の熱処理を削減することもできる。

【0030】上記実施の形態においては、高耐圧NMOSトランジスタ、PMOSトランジスタとして、LDD構造の例を挙げたが、これに限らずオフセット構造でも良く、他の回路素子でも適用できるのは言うまでもない。そして、上記実施の形態においては、P型半導体基板を用いたが、N型半導体基板を用いてよいのも言うまでもない。

#### 【0031】

【発明の効果】本発明の半導体装置は、高耐圧半導体素子をウエル内に形成しているから、安定した電気的特性

のものとすることができます。本発明の半導体装置の製造方法は、高耐圧半導体素子を形成するウエル領域はNMOS、PMOSそれぞれの閾値設定用の注入マスクを利用し形成し、その後閾値設定のイオン注入することで、同じマスクを複数回使用できることから、全工程を通じてマスク枚数の増加することを抑制することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の実施の形態1を模式的に示す断面図である。

【図2】本発明の半導体装置の実施の形態2の製造工程を模式的に説明する断面図である。

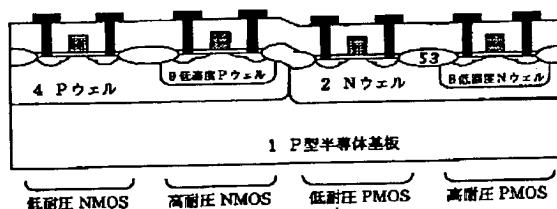
【図3】本発明の半導体装置の製造方法の実施の形態2の製造工程を模式的に説明する断面図である。

【図4】従来の半導体装置の製造工程を模式的に説明する断面図である。

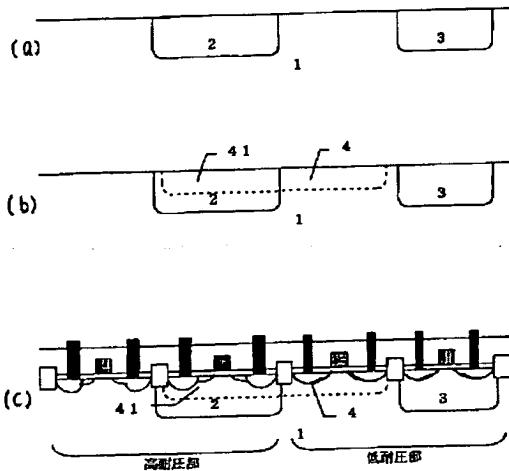
#### 【符号の説明】

1	P型半導体基板
2、3	Nウエル層
4	Pウエル層
4 1	重なった領域
5、5 1、5 2、5 3	酸化膜
6、6 1	窒化膜
7、7 1	フォトレジスト
8	低濃度のNウエル層
9	低濃度のPウエル層

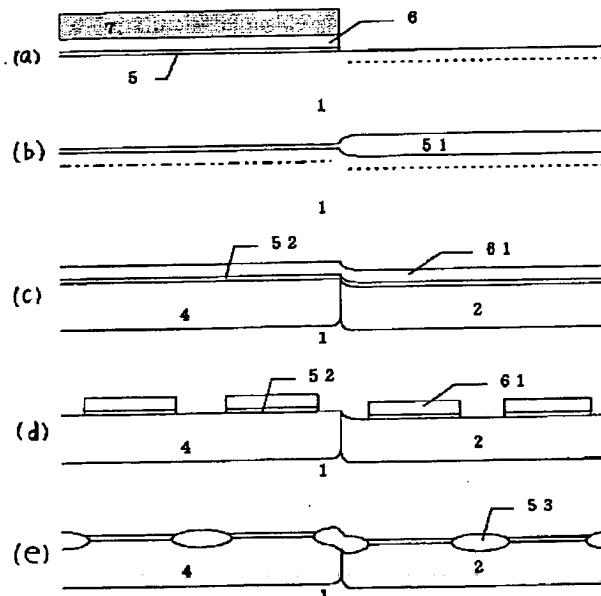
【図1】



【図4】



【図2】



【図3】

